

(54) MICROCOMPUTER

(11) 4-76626 (A) (43) 11.3.1992 (19) JP

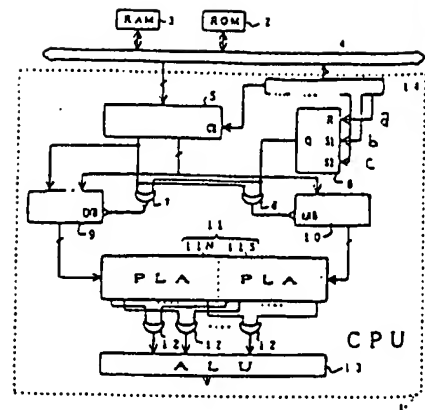
(21) Appl. No. 2-185605 (22) 13.7.1990

(71) TOSHIBA CORP (72) YUTAKA MURAO(1)

(51) Int. Cl. G06F9/30, G06F15/78

**PURPOSE:** To increase the number of kinds of executable instruction without increasing the number of bits expressing one instruction by switching an instruction group to be executed by the operation mode.

**CONSTITUTION:** In the normal operation mode, the output of a mode storage FF 6 is in the high level, and a gate circuit 7 outputs the low level to activate a predecoder 9. Only the output of the predecoder 9 is given to a PLA 11, and the output of this PLA 11 is determined by only the output of the predecoder 9, and instructions of a common instruction group Ic and a normal instruction group In are executed. When an interrupt entry signal is generated from an execution control part 14, the output of the PLA 11 is determined by only the output of a predecoder 10. The output of the PLA 11 is determined by only the output of the predecoder 9. Consequently, instructions of the common instruction group Ic and a special instruction group Is are executed when the special mode is stored in the FF 6.



5: instruction register, a: interrupt entry, b: interrupt return, c: initialization

⑫ 公開特許公報(A) 平4-76626

⑬ Int. Cl.

G 06 F 9/30

15/78

識別記号

3 1 0 C

3 1 0 E

5 1 0 Z

庁内整理番号

9189-5B

9189-5B

7530-5L

⑭ 公開 平成4年(1992)3月11日

審査請求 未請求 請求項の数 8 (全7頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 平2-185605

⑰ 出 願 平2(1990)7月13日

⑱ 発 明 者 村 尾 豊 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内  
⑱ 発 明 者 和 田 哲 郎 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内  
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地  
⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外3名

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

1. インストラクションレジスタと、

それぞれ異なる種類の命令を含む2以上の命令群の持つ全ての命令を解釈可能であって前記インストラクションレジスタの内容を解釈する命令解釈手段と、

モード切換え信号に応じて前記2以上の命令群各々に対応する動作モードのうち一の動作モードを記憶するモード記憶手段と、

命令を前記インストラクションレジスタに取込む実行制御手段と、

を備えているマイクロコンピュータ。

2. 命令解釈手段がプログラマブル・ロジック・アレイにより構成されている請求項1記載のマイクロコンピュータ。

3. インストラクションレジスタとプログラマブル・ロジック・アレイとの間にプリデコードが配置されている請求項2記載のマイクロコンピュータ。

4. モード切換え信号が割込みエントリ信号及び割込みリターン信号で構成されている請求項1記載のマイクロコンピュータ。

5. モード切換え信号がサブルーチンコール信号及びサブルーチンリターン信号で構成されている請求項1記載のマイクロコンピュータ。

6. 2つの命令群を持ち、その一部が両群に共通の命令からなる共通命令群となっている請求項1記載のマイクロコンピュータ。

7. インストラクションレジスタと、  
特定ビットが第1の値とされ第1、第2両動作モードに共通の共通命令群と前記特定ビットが第2の値とされた第1動作モード専用命令群とからなる第1命令群の命令を処理可能に構成され実行許可信号を受けているときのみ動作する第1プリデコードと、

前記特定ビットが前記第2の値とされた第2動作モード専用命令群のみからなる第2命令群の命令のみ処理可能に構成され前記実行許可信号を受けているときのみ動作する第2プリデコードと、

前記第1プリデコードの出力データを解読する第1演算部と、前記第2プリデコードの出力データを解読する第2演算部とを含み、両演算部の結果を出力するプログラマブルロジックアレイと、

モード切換え信号に応じて前記第1動作モード及び第2動作モードのうちいずれか一方のモードを記憶するモード記憶手段と、

該モード記憶手段の記憶モードが前記第1動作モードであるとき及び前記インストラクションレジスタ内の前記特定ビットが前記第1の値であるときには前記第1プリデコードに前記実行許可信号を与える第1実行許可信号発生手段と、

前記モード記憶手段の記憶モードが前記第2動作モードのときであって且つ前記インストラクションレジスタ内の前記特定ビットが前記第2の値のとき前記第2プリデコードに前記実行許可信号

を与える第2実行許可信号発生手段と、

を備え、前記実行許可信号の供給先が前記特定ビットの値により切換えられるようになっているマイクロコンピュータ。

8. 第1プリデコード及び第2プリデコードはその出力が開放形とされて互いにワイヤードオーで接続されている請求項7記載のマイクロコンピュータ。

### 3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明はマイクロコンピュータに関するものである。

(従来の技術)

近年、マイコンの高位化の流れから、命令種類の増加が定常的な要請となっている。

例えば8ビットマイクロコンピュータと云えば、1命令が8ビット(1バイト)で構成され、CPUではメモリから8ビットずつ読出して実行

するようになっている。この場合、実行対象とする命令種類は $2^8 = 256$ 通りとなり、1命令を構成するビット数で決まる。

アドレスを伴うワードで構成される命令、つまりイミディエト・モードやダイレクト・モード等のアドレッシング・モードを考慮すれば、このアドレッシング・モードを指定する為に、8ビットのうちの数ビットを使用する事になる為、実行可能な命令種類の数は256通りより少なくなる。

マイクロコンピュータのユーザは、使い始めのうちは8ビットマイクロコンピュータで満足していても、次第に、その処理効率の低さから、より高速により高価な処理を行えるマイクロコンピュータを求めるようになり、これに伴ってCPUのビット数が16ビット、32ビット、64ビットと増大の一途をたどり、極端な例では200ビットコンピュータ、というものが出現している。

しかし、近時では、上記したように単にCPUの処理単位を上げるのではなく、8ビットから64ビットまでを統一思想でシリーズ化し直す要

求が強い。これはCPUの処理単位を変えないで命令種類の拡張を図り、結果として8ビットの基本的なコンピュータでもμOSの相込みを容易にする等の要求である。

そのために1ワードを構成するビット数だけ大きくすることが考えられる。つまり、8ビットマイクロコンピュータで考えれば、第1バイト目のみならず第2バイト目も命令種類の指定に使うことにより、実行可能命令種類が $2^8 = 256$ 通りであったのを、 $2^{16} = 65536$ 通りにすることである。

この方法によれば、確かに実行可能命令数の拡大はできるが、その実行に当たって、CPUは、8ビットずつの2回の命令読出しを行わなければならないため、実行速度が半分に低下し実行時間が倍増するという問題がある。

また、命令数の増大と1ワードを構成するビット数の増大との双方に伴ってROMの容量を増大させなければならないという問題がある。

(発明が解決しようとする課題)

上記したように、従来、命令種類の拡張要請に答えるべく、1ワードを構成するビット数を大きくすることが考えられていたが、実行時間の増大やROMの容量の増大を招くという問題があった。

本発明は、上記実情に鑑みてなされたもので、その目的とするところは、一命令を表現するビット数を増加させることなく実行可能な命令の種類を拡張することができるようにしたマイクロコンピュータを提供することにある。

(発明の構成)

(課題を解決するための手段)

請求項1記載のマイクロコンピュータは、インストラクションレジスタと、上記2以上の命令群の持つ全ての命令を解釈可能であってインストラクションレジスタの内容を解釈する命令解釈手段と、モード切換え信号にตอบสนองして上記2以上の命令群各々に対応する動作モードのうちの動作モードを記憶するモード記憶手段と、命令を上記インストラクションレジスタに取込む実行制御手段

とされた第1動作モード専用命令群とからなる第1命令群と、上記特定ビットが上記第2の値とされた第2動作モード専用命令群のみからなる第2命令群との2つの命令群について処理するものであって、インストラクションレジスタと、上記第1命令群の命令のみ処理可能に構成され実行許可信号を受けているときのみ動作する第1プリデコードと、上記第2命令群の命令のみ処理可能に構成され上記実行許可信号を受けているときのみ動作する第2プリデコードと、上記第1プリデコードの出力データを解釈する第1演算部と、上記第2プリデコードの出力データを解釈する第2演算部とを含み、両演算部の結果を出力するプログラマブルロジックアレイと、モード切換え信号にตอบสนองして上記第1動作モード及び第2動作モードのうちいずれか一方のモードを記憶するモード記憶手段と、このモード記憶手段の記憶モードが上記第1動作モードであるとき及び前記インストラクションレジスタ内の上記特定ビットが上記第1の値であるときには上記第1プリデコードに上記実行

とを備えている。

請求項2記載のマイクロコンピュータは、命令解釈手段がプログラマブル・ロジック・アレイにより構築されている。

請求項3記載のマイクロコンピュータはインストラクションレジスタとプログラマブル・ロジック・アレイとの間にプリデコードが配置されている。

請求項4記載のマイクロコンピュータはモード切換え信号が割込みエントリ信号及び割込みリターン信号で構成されている。

請求項5記載のマイクロコンピュータはモード切換え信号がサブルーチンコール信号及びサブルーチンリターン信号で構成されている。

請求項6記載のマイクロコンピュータは、2つの命令群を持ち、その一部が両群に共通の命令からなる共通命令群となっている。

請求項7記載のマイクロコンピュータは、特定ビットが第1の値とされ第1、第2両動作モードに共通の共通命令群と上記特定ビットが第2の値

許可信号を与える第1実行許可信号発生手段と、モード記憶手段の記憶モードが上記第2動作モードのときであって且つ上記インストラクションレジスタ内の特定ビットが上記第2の値のとき上記第2プリデコードに上記実行許可信号を与える第2実行許可信号発生手段とを備え、実行許可信号の供給先が特定ビットの値により切換えられるようになっている。

請求項8記載のマイクロコンピュータは、第1プリデコード及び第2プリデコードはその出力が開放形とされて互いにワイヤードオアで接続されている。

(作 用)

本発明によれば、それぞれ異なる種類の命令を含む2以上の命令群を持つとともに、各命令群に対応して動作モードを持ち、動作モードによって実行する命令群を切換えるようにしているため、一命令を表現するビット数を増やすことなく実行可能な命令の種類を拡張することができる。

これにより、CPUは1回の読出し動作で命令

を実行できるように、命令種類を拡張しても従来と比較して実行速度の低下がない。

また、1ワードを構成するビット数の増大に伴うROM容量の増大問題も生じない。

(実施例)

以下に本発明の実施例について図面を参照しつつ説明する。

第1図は本発明の一実施例に係る8ビットマイクロコンピュータの構成を示すものである。

この図において、1はCPU、2はROM、3はRAM、4はデータバスであり、CPU1はROM2またはRAM3から命令を一つずつ読み取り実行するようになっている。このCPU1は、命令実行モードとして通常モードと特殊モードとを持ち、例えばユーザの応用プログラムの実行時が通常モードであり、μOSのOS部を動作させた場合、その動作時が特殊モードである。

ROM2にはプログラムを構成する多数の命令群が格納されており、このROM2は第2図にインストラクションマップとして示すように命令群

ROM2にアドレス指定して命令を一つ読み出す。この命令はレジスタ5に保持される。

モード記憶FF6は、セット状態にあっては出力端子Qから“H”を出力し、リセット状態にあっては同出力端子Qから“L”を出力するもので、イニシャライズ信号および割込みリターン信号のいずれかによりセットされ、割込みエントリ信号によりリセットされるようになっている。割込みエントリ信号は通常モードから特殊モードへのモード変更時に発生されるものであり、割込みリターン信号は特殊モードから通常モードへのモード変更時に発生されるもので、これによりモード記憶FF6は割込みエントリ信号を受けてから割込みリターン信号を受けるまで特殊モードの記憶状態となり、それ以外のときは通常モードの記憶状態となる。

ゲート回路7はノアゲートからなり、レジスタ5からのビットb7のレベル及びモード記憶FF6の出力Qのレベルのうち少なくとも一方が“H”（ハイレベル）のとき“L”（ローレベル）

を上記両モードで使用される共通命令群1cと通常モードだけで使用される通常命令群1nと特殊モードだけで使用される特殊命令群1sとに別けて記憶している。

第3図に示すように、一命令を構成する8ビットb0～b7のうち先頭ビットb7は共通・通常・特殊の命令種別用ビットとされ、このビットb7が“1”の場合は共通および通常命令、ビットb7が“0”の場合は共通および特殊命令を表す。

CPU1は、インストラクションレジスタ（以下、Iレジスタという。）5とモード記憶フリップ・フロップ（以下、FFという。）6と切換えゲート回路7、8とプリデコーダ9、10とPLA（Programmable Logic Array）11と出力ゲート回路12、12、…とALU13と実行制御部14とを備え、これら他に当然のことながら命令取出し制御系統、割込み制御系統等を備えるのは勿論のことである。

CPU1はその命令取出し制御系統によって

を出力し、両者ともに“L”のときのみ“H”を出力する。

ゲート回路8はオアゲートからなり、レジスタ5からのビットb7のレベル及びモード記憶FF6の出力Qのレベルが共に“L”のときのみ“L”を出力し、両者のうち少なくとも一方が“H”のとき“H”を出力する。

プリデコーダ9、10はレジスタ5からの命令についてグルーピングを行うようになっているものである。これらのうちプリデコーダ9は、ゲート回路7からの“L”出力により活性化され、共通命令群1c及び通常命令群1nの命令を取り扱うものとされ、他方のプリデコーダ10はゲート回路8からの“L”出力により活性化されて、特殊命令群1sの命令を取り扱うものとされる。

PLA11はプリデコーダ9、10の出力について論理積和を行うもので、その出力はゲート回路13、13、…を介してALU（Arithmetic and Logic Unit）へのコントロール信号等の最終制御信号とされる。このPLA11は2つの論理

回路部11N、11Sを含み、論理回路部11Nにはブリデコード9の出力が入力され、論理回路部11Sにはブリデコード10の出力が入力されている。

実行制御部14はROM2に記憶されている命令をレジスタ5に寄込むとともに、上記割込みエントリ信号、割込みリターン信号、イニシャライズ信号を出力する機能を有する。レジスタ5への寄込みはROM2へのアドレス指定とレジスタ5への寄込みタイミングクロックの供給とにより行われる。

次に動作を説明する。

初期状態にあっては、実行制御部14によりモード記憶部6がイニシャライズされて、通常のモードとなっている。この通常の動作モードではモード記憶FF6の出力は“H”の状態にあり、ゲート回路7の出力はビットb7の状態に係わらず“L”を出力し、ブリデコード9を活性化させる。また、この時、ゲート回路8の出力はビットb7の状態に係わらず“H”を出力し、ブリデコード

ブリデコード9が活性化され、ゲート回路8の出力は“H”になってブリデコード10が不活性とされる。

よって、PLA11の出力はブリデコード9の出力のみによって決まることとなる。

したがって、モード記憶FF6に特殊モードが記憶されているときには、共通命令群1c及び特殊命令群1sの命令が実行されることとなる。

そして、実行制御部14から割込みリターン信号が発生されると、モード記憶FF6がセットされ、その出力が“H”となって通常のモードに戻る事となる。

以上説明したように本実施例によれば、一命令を表現するビット数を8ビットのままで実行可能な命令の種類を拡張する事に成功している。

これにより、CPUは1回の読み出し動作で命令を実行できるために、従来と比較して実行速度の低下がない。

また、1ワードを構成するビット数の増大に伴うROM容量の増大問題は生じない。

10を不活性状態にする。

よって、ブリデコード9の出力だけがPLA11に与えられ、このPLA11の出力はブリデコード9の出力のみによって決まることとなり、共通命令群1c及び通常命令群1nの命令が実行されることとなる。

ここで、実行制御部14から割込みエントリ信号が発生され、この割込みエントリ信号によりモード記憶FF6がリセットされると、その出力が“L”になる。すると、ゲート回路7、8の出力は命令ビットb7の状態に依存することとなる。

よって、ビットb7の状態が“L”の特殊命令のときには、ゲート回路7の出力は“H”になってブリデコード9が不活性とされ、ゲート回路8の出力が“L”となってブリデコード10が活性化される。

これによりPLA11の出力はブリデコード10の出力のみによって決まるようになる。

また、ビットb7の状態が“H”の共通命令のときには、ゲート回路7の出力は“L”になって

第4図はブリデコード9、10とPLA11との内部構成例を示すものである。

この図において、ブリデコード9、10の出力はオープンドレインとなっており、互いにワイヤードオアで接続されている。なお、ここでは図示簡便化防止のために、出力は1系統のみ示している。

11n、11n、…は第1図における論理回路部11Nに相当するものを構成する項(ターム)、11s、11s、…は同図における論理回路部11Sに相当するものを構成する項である。一つの項11nと一つの項11sとが出力ゲート回路12を通過して出力されるもので、項11n、11sは全て、ブリデコード9、10の出力接続点に接続されている。ここにおいても、図示簡便化防止のために、ブリデコード9、10の出力1系統に対してのもののみ示している。

以上の構成において、ブリデコード9がイネーブルとなれば、ブリデコード9の出力によって決まる項11n、11n、…の出力がオアゲート

12から出力され、プリデコード10がイネーブルとなればプリデコード10の出力によって決まる項11s, 11s, ...の出力がオアゲート12から出力される。

ワイヤードオアされているオープンドレインには、よく知られている如くプリチャージ回路20が必要である。

このようにプリデコード9, 10の出力をオープンドレインとして両者をワイヤードオアで接続することにより、PLA11における同じ出力系統に出力する項11n, 11s同士を並べて配置できるように配線し易くなり、第1図のように論理回路部11N, 11Sを分離して設けるよりもチップレイアウト上有利となる。

また、上記した実施例では動作モードの切換えを割込みエントリ信号及び割込みリターン信号で行っているが、本発明はそれに限定されず、例えばサブルーチンコール信号及びサブルーチンリターン信号で行うことも考えられる。

1…CPU、2…ROM、3…RAM、4…データバス、5…インストラクションレジスタ、6…モード記憶フリップ・フロップ、7, 8…切換えゲート回路、9, 10…プリデコード、11…PLA、12…出力ゲート回路、14…実行制御部。

出願人代理人 佐 藤 一 雄

#### 【発明の効果】

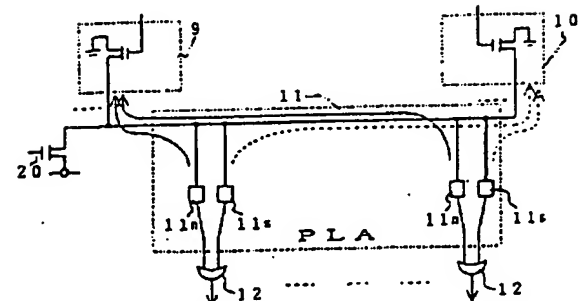
以上説明したように本発明によれば、それぞれ異なる種類の命令を含む2以上の命令群を持つとともに、各命令群に対応して動作モードを持ち、動作モードによって実行する命令群を切換えるようにしているため、一命令を表現するビット数を増やすことなく実行可能な命令の種類を拡張することができる。

これにより、CPUは1回の読み出し動作で命令を実行できるために、命令種類を拡張しても従来と比較して実行速度の低下がない。

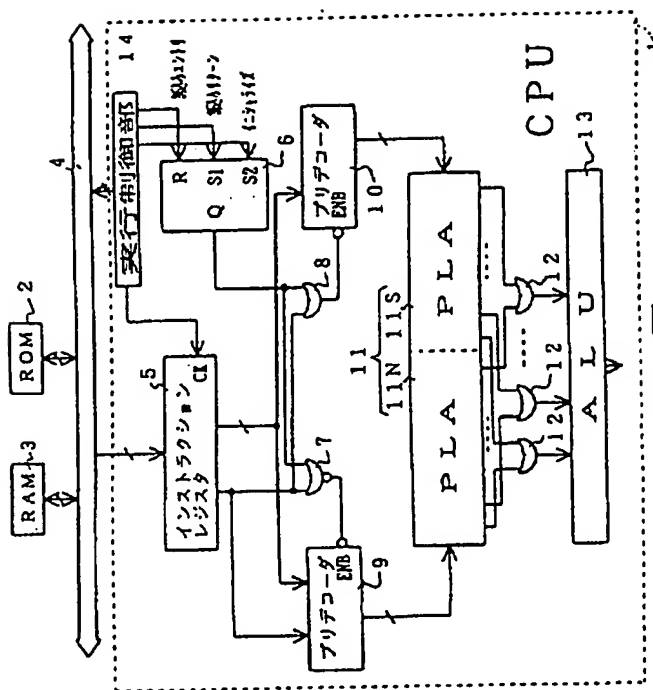
また、1ワードを構成するビット数の増大に伴うROM容量の増大問題も生じない。

#### 4. 図面の簡単な説明

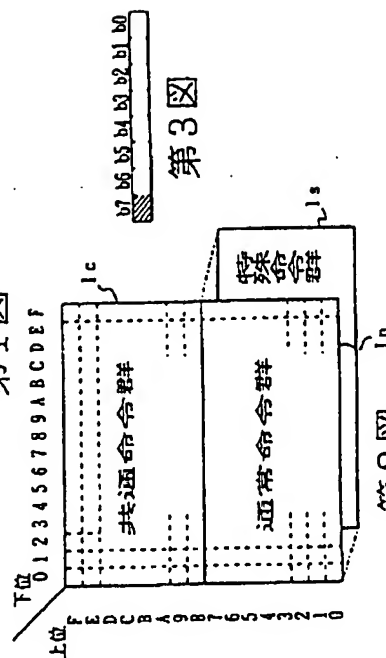
第1図は本発明の一実施例に係るマイクロコンピュータのブロック図、第2図はそのインストラクションマップ図、第3図は1ワードの構成を示す模式図、第4図はプリデコード及びPLAの内部回路を示す回路図である。



第4図



第1図



第2図

第3図